

PAT-NO: JP404364063A

DOCUMENT-IDENTIFIER: JP 04364063 A

TITLE: MULTICHIP SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: December 16, 1992

INVENTOR-INFORMATION:

NAME  
YOSHIDA, YUMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP03166397

APPL-DATE: June 11, 1991

INT-CL (IPC): H01L023/52, H01L025/065, H01L025/07, H01L025/18

US-CL-CURRENT: 257/700, 257/723

ABSTRACT:

PURPOSE: To reduce mounting area by forming a wiring layer on a memory wafer and using it as a silicon substrate, and mounting semiconductor integrated circuits other than memory elements on the silicon substrate.

CONSTITUTION: A memory wafer is used as a silicon substrate 101, and memory elements 104 are fitted to it. Besides, a CPU and a peripheral chip 105 are mounted after input/output pads 103 and a wiring layer 102 are formed on the substrate. First of all, a silicon substrate is made using the memory wafer. Namely, the silicon substrate is tested after the formation of the memory elements, and a wiring layer is formed if there is no error. Incidentally, as for mounting area, chip area becomes smaller by the area of memory chips compared to a silicon on silicon chip.

COPYRIGHT: (C)1992,JPO&Japio

DERWENT-ACC-NO: 1993-039720

DERWENT-WEEK: 200017

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Silicon@-on-silicon@ multi-chip IC module - has chip CPU  
and peripheral IC chips all mounted on wiring layer of  
silicon@ substrate as memory via soldered bump electrodes  
NoAbstract

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1991JP-0166397 (June 11, 1991)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 04364063 A	December 16, 1992	N/A	004	H01L 023/52
JP 3018600 B2	March 13, 2000	N/A	004	H01L 023/52

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 04364063A	N/A	1991JP-0166397	June 11, 1991
JP 3018600B2	N/A	1991JP-0166397	June 11, 1991
JP 3018600B2	Previous Publ.	JP 4364063	N/A

INT-CL (IPC): H01L023/14, H01L023/52, H01L025/065, H01L025/07

ABSTRACTED-PUB-NO: JP 04364063A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.3/7

TITLE-TERMS: SILICON@ SILICON@ MULTI CHIP IC MODULE CHIP CPU  
PERIPHERAL IC CHIP

MOUNT WIRE LAYER SILICON@ SUBSTRATE MEMORY SOLDER  
BUMP ELECTRODE  
NOABSTRACT

ADDL-INDEXING-TERMS:

INTEGRATED CIRCUIT

DERWENT-CLASS: U11 U14

EPI-CODES: U11-D01A6; U14-A10;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1993-030441

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-364063

(43)公開日 平成4年(1992)12月16日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 01 L 23/52				
25/065				
25/07				
	7220-4M	H 01 L 23/52		C
	7220-4M	25/08		B
		審査請求 未請求 請求項の数1(全4頁) 最終頁に続く		

(21)出願番号

特願平3-166397

(22)出願日

平成3年(1991)6月11日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉田 由美

東京都港区芝五丁目7番1号 日本電気株式会社内

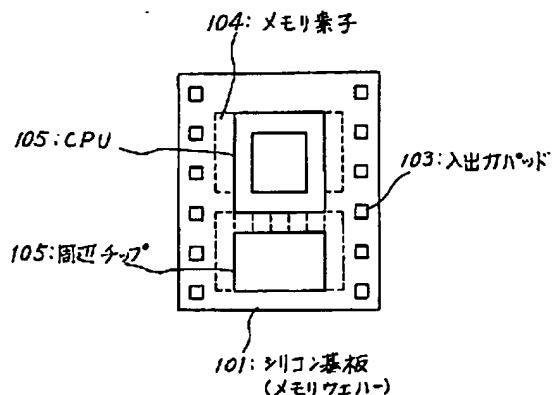
(74)代理人 弁理士 菅野 中

(54)【発明の名称】 マルチチップ半導体集積回路

(57)【要約】

【目的】 シリコンonシリコンチップ作成において、チップの実装面積を小さくし、かつ基板用のウェハーを有効に利用する。

【構成】 メモリウェハー101を基板とし、その上に配線層を形成してから、CPUや周辺チップ105を実装する。



## 【特許請求の範囲】

【請求項1】 メモリ素子を含む半導体集積回路をシリコン基板上に実装するマルチチップ半導体集積回路であって、前記シリコン基板として、メモリウェハー上に配線層を形成したものをシリコン基板として用い、該シリコン基板上にメモリ素子以外の半導体集積回路を実装したことを特徴とするマルチチップ半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に大規模論理回路用集積回路に関する。

## 【0002】

【従来の技術】 従来、大規模な論理回路を実現するために、それ自体に入出力回路を形成したシリコンを基板とし、その上に複数の集積回路を実装する方法がとられていた（以下、シリコンonシリコンチップと称す）。

【0003】 このシリコンonシリコンチップの内部構成は、図5のようになっている。シリコンウェハー上に配線を形成したシリコン基板501上に、CPU（中央処理装置）のチップ502と周辺チップ503があり、その隣に複数のメモリ504が並んでいる。シリコン基板の周囲は、入出力パッド505が取り囲んでいる。

【0004】 図6にシリコンonシリコンチップの断面図を示す。シリコン基板601上には、配線層602と入出力パッド603が形成されている。シリコン基板601には、バイポーラ入出力回路604が形成されており、かつ配線層602の上には、CPU、メモリなどの集積回路605がのっている。配線層602とCPUやメモリなどの集積回路605は半田バンプ606で結合されている。

【0005】 図7は、従来のシリコンチップ作成工程を表すフローチャートである。まず、シリコン基板を作成する。バイポーラ入出力回路形成工程701で入出力回路を形成する。テスト工程702でシリコン基板としてのテスト（バイポーラ入出力回路のテスト）を行い、不良品は廃棄する。残った基板に配線層形成工程703で配線層を形成する。

【0006】 次に、基板に載せるシリコンチップを作成する。工程704でチップ形成を行い、工程705で半田バンプを付加したあと、ダイシング工程706でチップを個別に切り離す。

【0007】 更に、工程707で基板にチップを結合させ、工程708でテストを行って、シリコンonシリコンのチップが完成する。

## 【0008】

【発明が解決しようとする課題】 従来技術におけるシリコン基板は、作成するシリコンonシリコンチップに対応してバイポーラ入出力回路を形成していた。しかし、バイポーラ入出力回路は駆動力向上のためにだけ設けられているのであって、集積度向上に貢献しているわけ

10

20

30

40

50

はない。シリコン基板における実装面積は、セラミック基板における実装面積と同じである。従って、実装面積に関しては、シリコン基板にするメリットがあまり得られない。

【0009】 また前記シリコン基板の場合、テスト工程702において、基板に作り込まれる複数のバイポーラ入出力回路のうち一つでも動作しなければ、そのシリコン基板を廃棄しなければならないというシリコン利用効率の悪さがある。

【0010】 本発明の目的は前記課題を解決したマルチチップ半導体集積回路を提供することにある。

## 【0011】

【課題を解決するための手段】 前記目的を達成するため、本発明に係るマルチチップ半導体集積回路においては、メモリ素子を含む半導体集積回路をシリコン基板上に実装するマルチチップ半導体集積回路であって、前記シリコン基板として、メモリウェハー上に配線層を形成したものをシリコン基板として用い、該シリコン基板上にメモリ素子以外の半導体集積回路を実装したものである。

## 【0012】

【作用】 本発明ではメモリウェハーをマルチチップ半導体集積回路の基板として利用するものである。

## 【0013】

【実施例】 以下、本発明の一実施例を図により説明する。まず、実施例の実装面に関して、図1～図3を用いて説明する。

【0014】 図1は本発明のシリコンonシリコンチップの断面図である。本発明ではシリコン基板としてメモリウェハーを用いているため、バイポーラ入出力回路（図6の604）に対して、メモリ素子104が組み込まれていることが従来例と異なる。その他の部分は、従来と同じである。102は配線層、103は入出力パッド、105はCPU、周辺チップ、106は半田バンプである。

【0015】 図2は本発明の組立図である。メモリウェハー101上には、すでにメモリ素子104が形成されている。その上に入出力パッド103と配線層102を形成してからCPU及び周辺チップ105を実装する。

【0016】 図3は本発明によるシリコンonシリコンチップの実装図である。図2の組立図で示したメモリウェハーを利用したシリコン基板上に、CPUや周辺チップが所定の位置に実装されている。

【0017】 次に、実施例の工程面に関して図4の製造工程を表すフローチャートを用いて説明する。

【0018】 まず、メモリウェハーを用いてシリコン基板を作成する。メモリの製造工程としてのメモリ素子形成工程401でメモリ素子が形成される。次に、テスト工程402でシリコン基板としてのテストを行う。このテストでエラーがなければ、工程403で基板上に配線

層を形成し、その基板と、工程404～406（シリコンチップの作成、従来例の工程704～706に相当する。）で作成したシリコンチップとを、工程407で結合させてシリコンonシリコンチップを作成する。この工程は、従来例と同一である。テスト工程402で障害が起きた場合は、正常動作するチップ部分のみダイシング工程408でメモリチップ用に切り分けられる。メモリチップ用テスト工程409でテストされ、メモリチップとして利用される。

【0019】

【発明の効果】以上説明したように、本発明はマルチチップ集積回路用の基板を、バイポーラ入出力回路を形成したシリコン基板からメモリウェハーに変更することにより、実装面積を縮小し、シリコン基板となるウェハーを効率的に使用することを可能としている。

【0020】実装面積については、従来のシリコンonシリコンチップに比べ、メモリチップの分、チップ面積が小さくなっている。ウェハーの利用効率については、基板レベルで不具合があった場合、従来はそのすべてを

廃棄しなければならなかったが、本発明では、通常のメモリとして利用することができる。

## 【図面の簡単な説明】

【図1】本発明の一実施例を示す断面図である。

【図2】本発明の一実施例を示す組立図である。

【図3】本発明の一実施例を示す実装図である。

【図4】本発明の一実施例における製造工程を示すフローチャートである。

【図5】従来例を示す実装図である。

【図6】従来例を示す断面図である。

【図7】従来例の製造工程を示すフローチャートである。

## 【符号の説明】

101 シリコン基板（メモリウェハー）

102 配線層

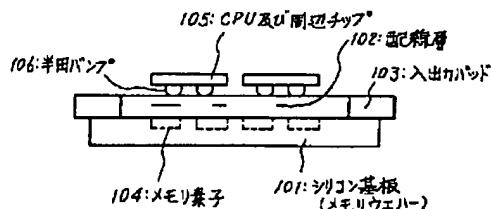
103 入出力パッド

104 メモリ素子

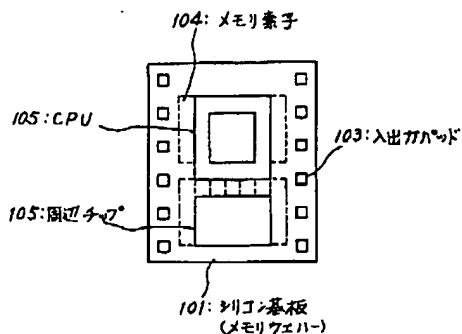
105 CPU, 周辺チップ

106 半田バンプ

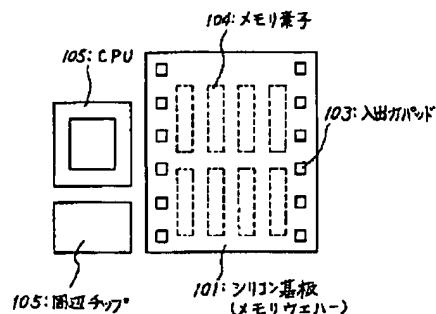
【図1】



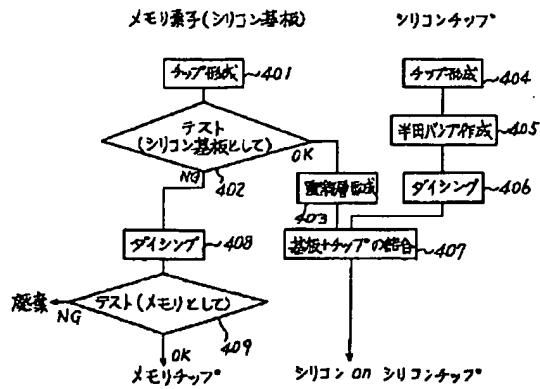
【図3】



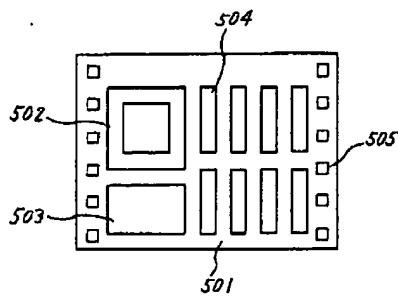
【図2】



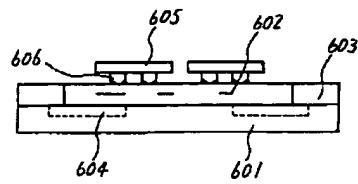
【図4】



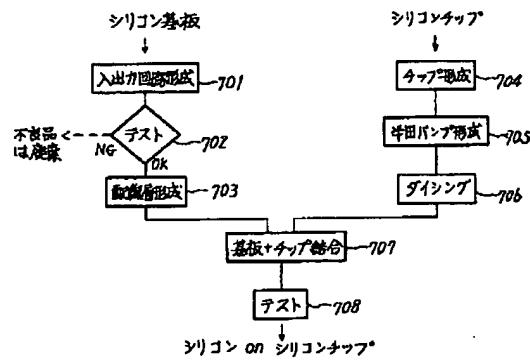
【図5】



【図6】



【図7】



フロントページの続き

(51) Int.Cl. 5  
H 01 L 25/18

識別記号

府内整理番号

F I

技術表示箇所